



УДК 621.37

Т. Б. Мартынюк *, канд. техн. наук,
Л. И. Тимченко **, д-р. техн. наук,
Л. М. Куперштейн ***, канд. техн. наук

*Винницкий национальный технический университет
(Украина, г. Винница, ул. Хмельницкое шоссе, 95,
тел. 8(0432) 598023)

**Киевский государственный экономико-технологический университет транспорта
(Украина, г. Киев, ул. Лукашевича, 19),

***Винницкий финансово-экономический университет
(Украина, г. Винница, ул. Пирогова, 71А,
E-mail: kuperok@mail.ru)

Аппаратная реализация модели формального нейрона

(Статью представил канд. техн. наук В. В. Аристов)

Рассмотрены особенности аппаратной реализации модели формального нейрона (ФН) с пороговой функцией активации. Показаны преимущества использования обработки векторных данных по разностным срезам при построении параллельного многоходового сумматора в качестве базового узла ФН. Используются возможности реализации предложенной структуры ФН в составе нейроускорителя на ПЛИС фирмы Xilinx.

Розглянуто особливості апаратної реалізації моделі формального нейрона (ФН) із пороговою функцією активації. Показано переваги використання обробки векторних даних за різницевиими зрізами при побудові паралельного багатовхідного суматора як базового вузла ФН. Використано можливості реалізації запропонованої структури ФН у складі нейроприскорювача на ПЛІС фірми Xilinx.

К л ю ч е в ы е с л о в а: формальный нейрон, нейрончик, разностный срез, параллельный сумматор, конвейерный процессор.

Быстрое развитие и усовершенствование информационных технологий обуславливает соответствующую модернизацию программно-аппаратного комплекса для практической реализации нейротехнологий во многих прикладных областях, таких как нейросетевые экспертные системы, системы управления базами данных с включением нейросетевых алгоритмов, системы борьбы с мошенничеством, управление динамическими системами, управление финансовой деятельностью, системы обработки изображений и сигналов, распознавание образов, генерация и обработка 3D-изображений в системах визуальной реальности и др. [1—4]. При этом возрастает удельный вес аппаратных реализаций нейросетевых технологий, напри-

мер в образцах бытовой техники японского производства (фотоаппараты, видеокамеры, микроволновые печи и др.) [5].

Это объясняется наличием объективных аргументов в пользу разработки и применения нейронов и нейросетевых аппаратно-программных компонентов, что в первую очередь связано с необходимостью обеспечить высокую скорость решения достаточно сложных задач с использованием массового параллелизма, надежность эксплуатации специального аппаратного обеспечения в полевых условиях при существенных ограничениях на габариты и вес, а также при повышенных требованиях к безопасности системы (защита от несанкционированного доступа и защита авторских прав на схемотехнические и архитектурные решения) [5, 6].

Среди многообразия функциональной реализации базового узла любой нейросети (НС) особое место занимают формальные нейроны (ФН) с пороговой передаточной функцией (функцией активации) [1, 7—9]. Несмотря на простоту и связанную с этим ограниченность в использовании вследствие недифференцируемости передаточной функции по всей оси абсцисс, пороговые ФН имеют достаточно широкую устойчивую область применения, а именно: при распознавании образов и в задачах оптимизации как базовый элемент классической сети Хопфилда [7, 8], в автоматических классификаторах для сегментации речевого сигнала [10], в нейросети для идентификации моментов открытия торговых позиций по правилу СМА (Crossing — Moving — Averages) [11], в системах тестового контроля вычислительных устройств [12] и при диагностировании микропроцессорных устройств [13].

В этом случае пороговые ФН используются как нейроны выходного слоя, поскольку в задачах классификации необходим точный ответ, а любой из выходов сети должен быть равен либо нулю, либо единице. Вместе с тем, пороговые ФН активно используются и во входных слоях, например в реверсивной гетероассоциативной памяти на основе двухслойной НС [14], где этот слой нейронов обеспечивает запоминание двоичных кодов, представляющих бинаризованные изображения.

Наиболее перспективным направлением развития нейροкомпьютерной техники можно считать нейроускорители на основе цифровых нейрочипов, представляющих собой платы расширения стандартных вычислительных систем [1, 15], а наиболее удачной реализацией нейрочипов как функционально законченных вычислительных устройств является использование ПЛИС [1, 16, 17], для которых существуют системы автоматизированного проектирования с полным циклом разработки проектируемого устройства. К очевидным достоинствам ПЛИС можно отнести огромные ресурсы, масштабируемость, дешевизну, относительно неболь-

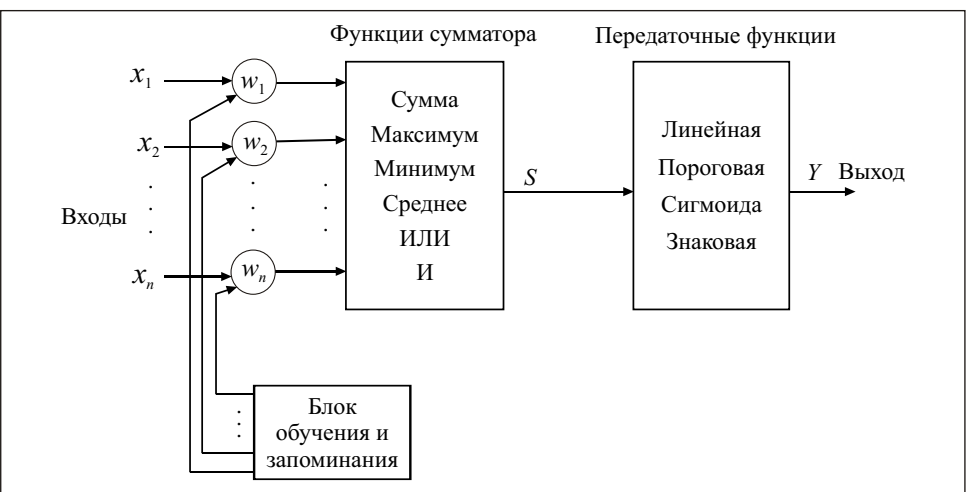


Рис. 1. Обобщенная схема ФН

шие затраты времени на проектирование. Таким образом, возможности ПЛИС позволяют реализовать законченный, достаточно регулярный фрагмент НС с широкими возможностями каскадирования для создания НС произвольной конфигурации и сложности [1].

Постановка задачи. Известная обобщенная схема искусственного нейрона или ФН, представляющая все многообразие существующих моделей ФН [18], приведена на рис. 1, где x_1, \dots, x_n — входной вектор данных; w_1, \dots, w_n — весовые коэффициенты; Y — выходной сигнал; S — состояние нейрона. Наиболее распространенной нейрооперацией для НС является векторно-матричное перемножение матрицы весовых коэффициентов на входной вектор. Фактически матрица \mathbf{W} весовых коэффициентов, формируемая в процессе обучения НС, является ее «памятью» [19]. Для каждого ФН эта нейрооперация представляет скалярное произведение двух векторов — вектора весовых коэффициентов и входного вектора:

$$S = \sum_{i=1}^n W_i X_i. \quad (1)$$

В дальнейшем на основании значения S формируется выходной сигнал ФН с учетом конкретной передаточной функции вида

$$Y = f(S). \quad (2)$$

Таким образом, в большинстве реализаций ФН в качестве типовых нейроопераций используются операции вида (1) и (2), т.е. взвешенное

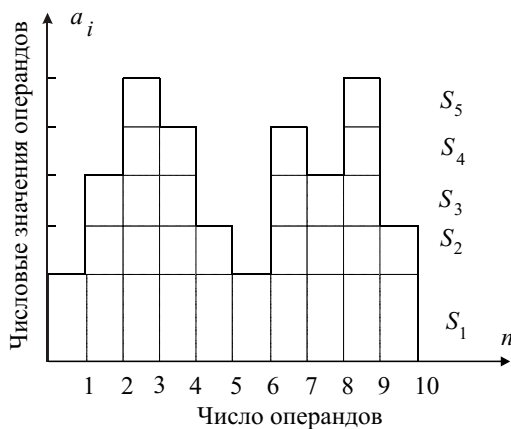


Рис. 2. Пример многооперандной обработки числовых данных по РС

суммирование и нелинейное преобразование [1—4, 7—9]. Необходимо заметить, что базовая вычислительная операция, а именно умножение матрицы на вектор широко используется не только при моделировании НС, но и при решении прикладных задач в системах обработки и анализа изображений, в машинной графике, для реализации вычислений с плавающей запятой [1].

Примером использования непосредственно нейрооперации вида (1) может быть один из слоев нечеткой НС на основе логического вывода алгоритма Сугэно нулевого порядка. Такая НС предназначена для системы обнаружения и предотвращения мошенничества в телекоммуникациях [20], в которой один из слоев состоит из двух нейронов, выполняющих соответственно взвешенное и обычное суммирование выходных сигналов предыдущего слоя.

Из рис. 1 следует, что выполнение операций (1) и (2) разнесено во времени и реализуется разными блоками [1]. Однако известен подход, основанный на обработке векторных массивов по разностным срезам [21], который позволяет не только параллельно формировать сумму взвешенных входных данных, но и совмещать выполнение операций (1) и (2) на многоходовом параллельном сумматоре для случая пороговой передаточной функции [22, 23]. В результате появляется возможность реализации в виде цифрового нейрочипа фрагмента (слоя) НС, состоящего из пороговых нейронов.

Проанализируем особенности реализации на ПЛИС в виде цифрового нейрочипа модели порогового ФН на основе обработки данных по разностным срезам (РС).

Обработка векторных данных по РС. Метод обработки числовых данных по РС относится к методам многооперандной обработки массивов данных [21, 24]. На рис. 2 приведен пример параллельного суммирования по РС для десяти операндов, числовые значения которых представлены в виде столбцов определенной высоты [24]. В этом случае сумма величин равна площади фигуры, ограниченной сверху соответствующим контуром. Различной штриховкой обозначены площади, соответствующие частичным суммам S_j , формируемым в j -х циклах суммирования. Из рис. 2 видно, что, во-первых, на начальных циклах суммирования в формировании частичных сумм задействованы все или бóльшая часть операндов, т.е. уровень параллелизма близок к максимальному или очень высок; во-вторых, чем больше одинаковых или близких по величине операндов во входном массиве, тем меньшее число циклов требуется для суммирования; в-третьих, пока формируются последующие частичные суммы, уже сформированные частичные суммы можно использовать, например, для выделения определенных признаков [21—23].

Поскольку при обработке по РС данные представляются в виде векторного массива, который в данном случае уместно назвать исходным разностным срезом A_0 , целесообразно выражение (1) записать в следующем виде:

$$S = \sum_{i=1}^n a_{i,0}, \quad (3)$$

где $a_{i,0}$ — элемент РС A_0 , $a_{i,0} \geq 0$, т.е. $A_0 \geq 0$.

Обработка векторного массива данных по РС, т.е. свертка его элементов вида (3) предполагает выполнение трех базовых операций в каждом j -м цикле:

1) выделение минимального ненулевого элемента текущего РС A_j вида

$$q_j = \min_i A_j = \min_i \{a_{i,j}\}_{i=1}^n, \quad j = \overline{1, N}, \quad (4)$$

где N — число циклов обработки;

2) формирование следующего РС A_j вида

$$A_j = \{a_{i,j-1} - q_j\}_{i=1}^n; \quad (5)$$

3) формирование частичной суммы элементов текущего РС A_j вида

$$S_j = q_j p_j, \quad (6)$$

где p_j — число неотрицательных элементов в РС A_j вида (5).

Базовую операцию (6) целесообразно записать в виде [19, 20]

$$S_j = q_j \sum_{i=1}^n f_{i,j}, \quad (7)$$

где $f_{i,j}$ — признак i -го элемента в РС A_j ,

$$f_{i,j} = \begin{cases} 1, & \text{если } a_{i,j} > 0, \\ 0, & \text{если } a_{i,j} = 0. \end{cases}$$

Число циклов N обработки по РС не является фиксированной величиной и зависит как от размерности n , так и от распределения чисел во входном массиве A_0 [24]. Момент окончания обработки определяется по нулевому значению текущей величины q_j (4), причем в процессе обработки частичные суммы S_j (6) накапливаются и формируют окончательную сумму вида

$$S = \sum_{j=1}^N S_j = \sum_{i=1}^n q_j p_j. \quad (8)$$

Правомерность перехода от формулы (3) к формуле (8) доказана в работах [21, 24, 25]. С учетом того, что базовые операции (4) и (7) являются бинарными (двухместными) и рекурсивными, т.е. выполняются последовательно для двух операндов в пределах каждого цикла, в работе [22] показана возможность совмещения выполнения во времени операции (7) j -го цикла и операции (4) следующего $(j+1)$ -го цикла. Кроме того, в работах [22, 23] показано, что в каждом цикле после формирования частичной суммы S_j возможно ее сравнение с текущим внешним порогом θ_j обработки,

$$\theta_j = \theta_{j-1} S_j, \quad j = \overline{1, N}, \quad (9)$$

с последующим анализом величины θ_j вида

$$\theta_j = \begin{cases} \theta_0, & \text{если } S_j > \theta_0, \\ 0, & \text{иначе.} \end{cases} \quad (10)$$

где θ_0 — начальный внешний порог обработки. Это, в свою очередь, позволяет завершить процесс пороговой обработки по РС при выполнении условия (10) раньше, чем сформируется окончательная сумма (8). Следовательно, в этом случае отсутствует необходимость в накоплении окончательной суммы (3) взвешенных входных сигналов $a_{i,0}$, если по условию (10) можно сформировать выходной сигнал порогового ФН вида

$$Y = \begin{cases} 1, & \text{если } S_j > \theta_0, \\ 0, & \text{иначе.} \end{cases} \quad (11)$$

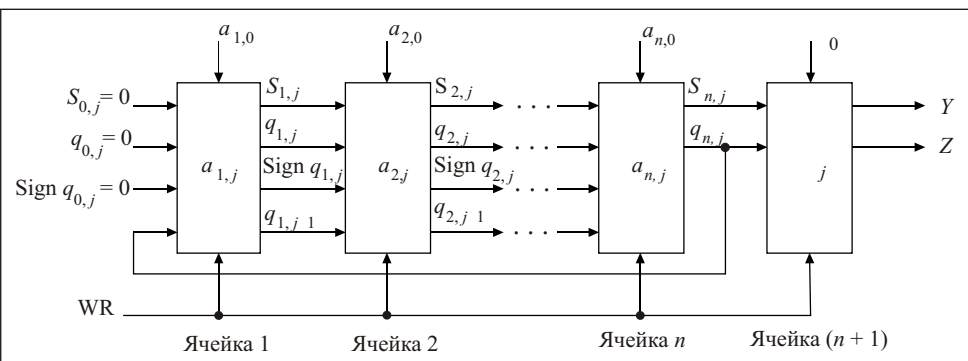


Рис. 3. Структура конвейерного процессора

что значительно ускоряет процесс обработки и приближает характер реакции искусственного нейрона к реализации биологического нейрона [22], поскольку величина внешнего порога θ_0 существенно влияет на время реакции нейрона.

В работе [23] выполнено моделирование временных зависимостей для обработки векторных массивов данных по РС с учетом размерности входного массива, среднеквадратического отклонения при нормальном распределении элементов в массиве и величины внешнего порога обработки. В результате моделирования получено повышение быстродействия пороговой обработки на 10—30 % при наличии одинаковых операндов во входном массиве. Использование РС обеспечивает ускорение нейроподобной обработки приблизительно в два раза, поскольку отсутствует необходимость формирования конечной суммы взвешенных элементов векторного массива.

Особенности структуры параллельного сумматора. В процессе аппаратной реализации обработки по РС векторного массива данных необходимо решение задачи построения многофункционального многовходового параллельного сумматора. Рекурсивный характер базовых операций (4) и (7) позволяет построить такой сумматор в виде конвейерного процессора [22, 23] с архитектурой одномерного систолического массива [21] по известной методике отображения регулярных итеративных алгоритмов (РИА) на систолические структуры [26]. Для таких структур характерны параллельно-конвейерный способ обработки, регулярность структуры и локальность связей [22, 26].

Многофункциональность предлагаемого параллельного сумматора заключается в том, что он может работать в трех режимах: 1) только взвешенное суммирование; 2) только пороговая обработка; 3) одновременно

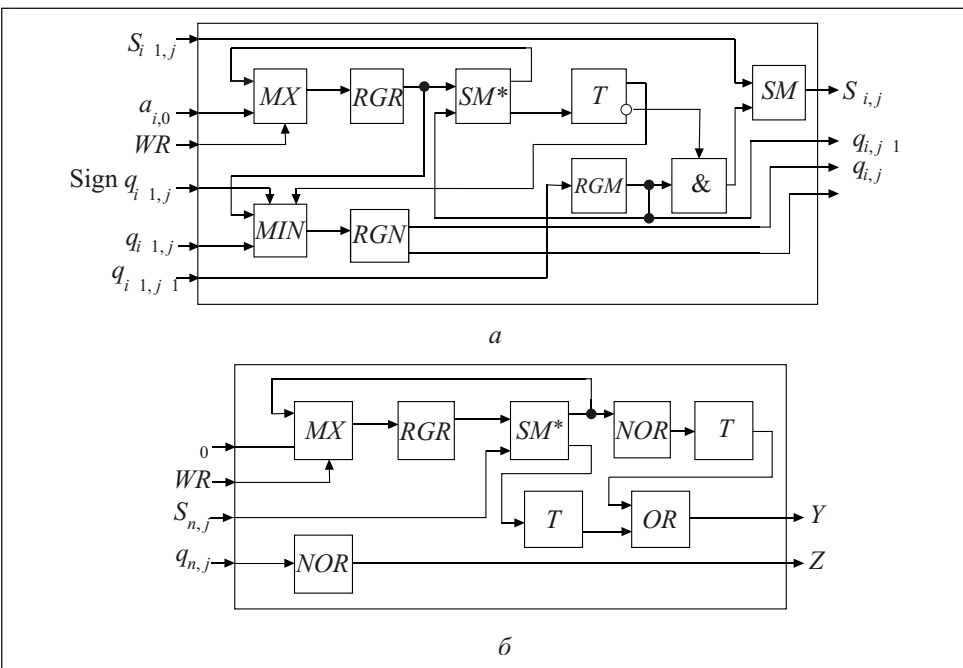


Рис. 4. Базовая (а) и дополнительная (б) ячейки конвейерного процессора

взвешенное суммирование и пороговая обработка. Структура конвейерного процессора в виде одномерного систолического массива, содержащего n базовых ячеек и $(n + 1)$ -ю дополнительную ячейку, приведена на рис. 3 [27].

На рис. 4, а представлена базовая ячейка конвейерного процессора, а на рис. 4, б — его дополнительная ячейка, предназначенная для выполнения пороговой операции (9). Базовая ячейка состоит из сумматора SM , сумматора в режиме вычитания SM^* , трех регистров — RGR , RGN , RGM , миниматора MIN , мультиплексора MX , триггера T и блока логических элементов И — $\&$. Она имеет пять информационных входов: вход операнда $a_{i,0}$, четыре входа для связи с предыдущей ячейкой — $(S_{i-1,j}, q_{i-1,j-1}, q_{i-1,j}, Sing\ q_{i-1,j})$, а также один вход управления записью в ячейку WR . Кроме того, ячейка имеет четыре информационных выхода для связи со следующей ячейкой $(S_{i,j}, q_{i,j-1}, q_{i,j}, Sing\ q_{i,j})$.

Дополнительная $(n + 1)$ -я ячейка содержит сумматор в режиме вычитания SM^* , регистр RGR , мультиплексор MX , два триггера T и логические элементы ИЛИ — OR и два элемента ИЛИ-НЕ — NOR . Дополнительная ячейка имеет три информационных входа, а именно вход внешнего порога

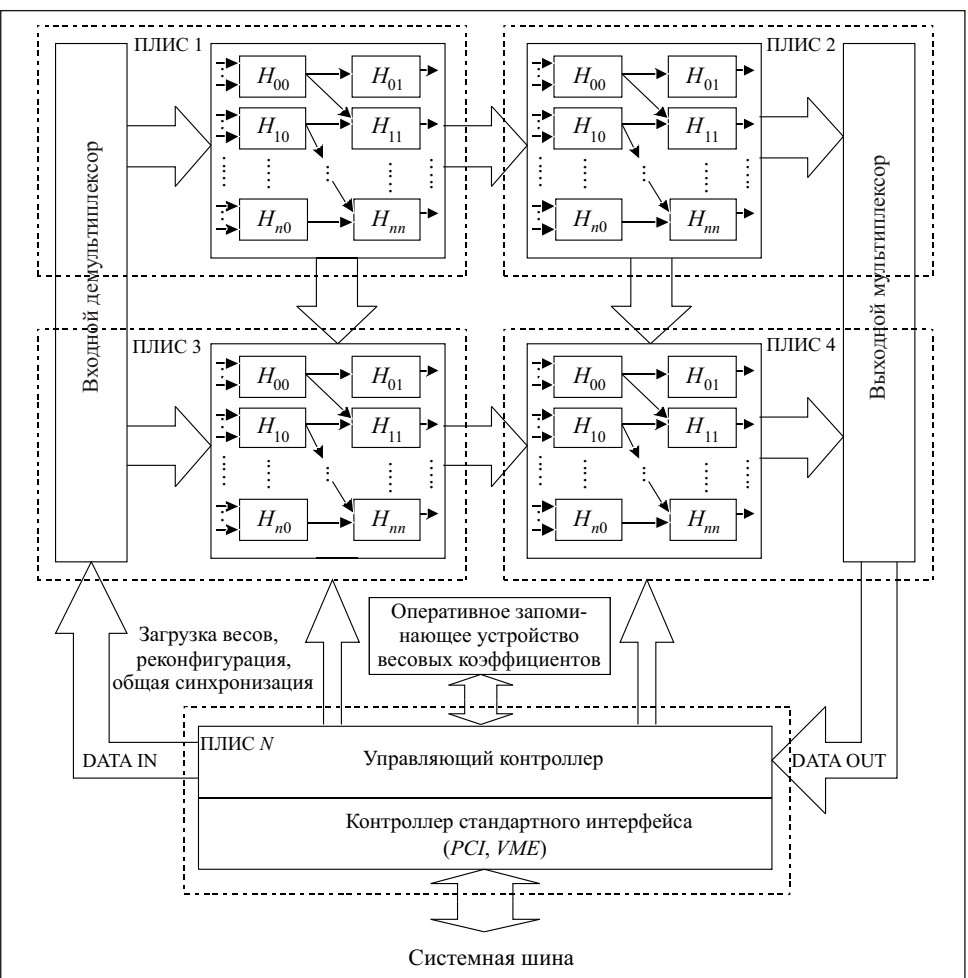


Рис. 5. Структура типовой нейронной сети на ПЛИС

0 и два межячеечных входа, $S_{n,j}$, $q_{n,j}$, для связи со старшей n -й базовой ячейкой, один вход управления записью WR и два выхода признаков, а именно выход сигнала пороговой обработки Y и выход признака нуля Z для завершения операции, если сигнал на выходе Y остается неактивным. На рис. 3 и 4, а во избежание их загромождения не показаны входы стандартных сигналов синхронизации и установки в начальное состояние.

Предложенная структура конвейерного процессора была спроектирована и реализована на ПЛИС XC95288XL-6-BG256 фирмы Xilinx [23]. В результате моделирования установлено, что при размещении на кристалле ПЛИС четырех ячеек для 4-хразрядных операндов (первой, i -й, $(i + 1)$ -й и

($n + 1$)-й ячеек процессора) использовано 32 % логической емкости кристалла, а именно 93 из 288 макроячеек, 615 термов из 1440 и 26 выводов из 192 возможных. Таким образом, на ПЛИС небольшой емкости типа CPLD можно разместить до четырех 4-хходовых нейронов. Используя ПЛИС большой емкости, например семейства Spartan-3 [28], можно создать полноценный нейрочип, который содержит не только параллельный многоходовый сумматор, но и соответствующее число умножителей. Такие параллельные умножители из библиотеки M -модулей используются при создании универсальных и проблемно-ориентированных нейроструктур на ПЛИС фирмы Xilinx [1, 29]. Время срабатывания нейрона на базе такой структуры находится в пределах микросекундного диапазона [23].

Разработанный нейрочип с одним слоем пороговых нейронов можно использовать в качестве фрагмента многослойной нейросети, размещенной на программно-аппаратной платформе с использованием инструментальных модулей цифровой обработки сигналов на ПЛИС XDSP-680 или XDPS-4M фирмы Xilinx [1]. В работе [30] приведена структура типовой нейронной сети на ПЛИС фирмы Xilinx (рис. 5), в которой в качестве входного или выходного слоя могут быть использованы разработанные нейрочипы с предложенной структурой пороговых нейронов. Ядром обобщенной структуры является матрица, состоящая как минимум из 2 2 ПЛИС. В крайних столбцах ПЛИС размещаются входной и выходной демультимплексоры для ввода-вывода данных на стандартный интерфейс (PCI или VME).

В настоящее время технические возможности ПЛИС (например, серия ПЛИС Virtex) [31] позволяют реализовать на том же кристалле ПЛИС, в котором реализован регулярный фрагмент НС, контролер сети в виде микропрограммного автомата с принятым стандартным или специфическим набором команд, а также стандартный контролер интерфейса PCI или VME [1]. Таким образом, с учетом использования более мощных микросхем ПЛИС (с большей логической емкостью и быстродействием) предложенные структурные и функциональные решения при построении пороговых нейронов с обработкой данных по РС могут найти эффективное применение в составе многослойных НС при решении конкретных прикладных задач.

Выводы. 1. Анализ области использования ФН с пороговой функцией активации, являющейся проблематичной при обучении по некоторым алгоритмам, свидетельствует о том, что наиболее активно они задействованы во входных и выходных слоях НС, которые занимаются соответственно либо подготовкой данных для дальнейшей обработки, либо приведением полученных результатов к удобному для пользователя виду.

2. Реализация предложенного нейрочипа на ПЛИС соответствует принятой методике, когда нейросеть или ее фрагмент строится по принципу копирования теоретической структуры: умножители, параллельные многовходовые сумматоры, реализация функции активации.

3. Использование принципа обработки векторного массива данных по разностным срезам позволяет не только распараллелить процесс свертки элементов вектора, но и совместить его с поэтапным сравнением с внешним порогом, т.е. аппаратно реализовать в одном блоке многовходовый сумматор и нелинейный преобразователь (в данном случае с пороговой функцией активации).

4. Использованная обобщенная структура реализации типовой НС на ПЛИС позволяет, наращивая число ПЛИС по столбцам матрицы, получить необходимое число слоев НС, а наращивая строки матрицы обеспечить необходимую размерность входного вектора данных.

Peculiarities of hardware implementation of the model of formal neuron (FN) with threshold activation function have been considered. The advantages of the use of processing of the vector data by difference sections when constructing a parallel multientrance adder as a base node of FN. Possibilities of implementation of the proposed FN structure in composition of neuroaccelerator on PLIS of Xilinx Company, were used.

1. *Галушкин А. И.* Нейрокомпьютеры. Кн. 3: Учеб. пособие для вузов / Общая ред. А. И. Галушкина. — М.: ИПРЖР, 2000. — 528 с.
2. *Комашинский В. И., Смирнов Д. А.* Нейронные сети в системах управления и связи. — М.: Горячая линия — Телеком, 2002. — 94 с.
3. *Усков А. А., Кузьмин А. В.* Интеллектуальные технологии управления. Искусственные нейронные сети и нечеткая логика. — М.: Горячая Линия — Телеком, 2004. — 143 с.
4. *Минаев Ю. Н., Филимонова О. Ю., Бенамеур Лиес.* Методы и алгоритмы решения задач идентификации и прогнозирования в условиях неопределенности в нейросетевом логическом базисе. — М.: Горячая линия — Телеком, 2003. — 205 с.
5. *Обзор* элементной базы аппаратных реализаций нейронных сетей. — http://www.reshebnik.net.ru/articles/el_basa.php.
6. *Рибак Л. П.* Дослідження можливості виникнення автоколивальних процесів в структурній схемі моделі нейрона з пороговою функцією активації та розробка конструкції моделі з метою створення конструкції медичного інтелектуального наноробота // Вимірювальна та обчислювальна техніка в технологічних процесах. — 2004. — № 1. — С. 189— 193.
7. *Комарцова Л. Г., Максимов А. В.* Нейрокомпьютеры: Учеб. пособие для вузов. — М.: Изд-во МГТУ им. Н. Э. Баумана, 2002. — 320 с.
8. *Круглов В. В., Борисов В. В.* Искусственные нейронные сети. Теория и практика. — М.: Горячая линия — Телеком, 2002. — 382 с.
9. *Hrytsyk V. V., Aizenberg N. N., Bun R. A. et al.* The Neural and Neural-like Networks: Synthesis, Realization, Application and Future // Інформаційні технології та системи. — 1998. — № 1/2. — С. 15 — 55.

10. Биков М. М., Гришук Т. В. Методи підвищення дикторо-незалежності опису і розпізнавання мовної інформації в мережі INTERNET // Інтернет — освіта — наука — 2002: Збірник матеріалів третьої міжнар. конф., 8—12 жовтня 2002 р. — Вінниця : УНІВЕРСУМ — Вінниця, 2002. — С. 329 — 332.
11. Кабачій В. В., Сторожук К. Д., Шкарпета А. В. Використання інтелектуальних технологій для аналізу та прогнозування динаміки цінових коливань // Інформаційні технології та комп'ютерна інженерія. — 2005. — № 3. — С. 102 — 107.
12. Чорницький В. І., Чешун В. М., Глушак С. В. Використання моделей нейронних мереж при тестовому контролі обчислювальних пристроїв // Вимірювальна та обчислювальна техніка в технологічних процесах: Збірник наук. праць. — Хмельницький : ТУП, 1999. — С. 167 — 171.
13. Локашок В. М., Чешун В. М., Чорницький В. І. Засоби діагностування мікропроцесорних пристроїв на базі штучних нейронних мереж із змінними параметрами // Контроль та управління в складних системах (КУСС — 2003): Матеріали VII міжнар. конф. 8 — 11 жовтня 2003 р. — Вінниця: УНІВЕРСУМ. — Вінниця, 2003. — С. 78 — 83.
14. Кириченко Н. Ф., Резник А. М., Щетенюк С. П. Псевдообращение матриц в проблеме проектирования ассоциативной памяти // Кибернетика и системный анализ. — 2001. — № 3. — С. 18 — 28.
15. Шахнов В. А., Власов А. И., Кузнецов А. С., Поляков Ю. А. Нейрокомпьютеры — архитектура и реализация. — http://www.citforum.ru/hardware/neurocomp/neurocomp_01.shtml.
16. Логовский А. Технология ПЛИС и ее применение для создания нейрочипов. — <http://www.osp.ru/os/2000/10/019.htm>.
17. Аряшев С. И., Бобков С. Г., Сидоров Е. А., Юдин И. В. Параллельный перепрограммируемый вычислитель. Возможность применения для обработки изображений и программное обеспечение. — <http://www.niisi.ru/old/pap2.htm>.
18. Искусственный нейрон. — <http://www.microelectronic.ru>
19. Каллан Р. Основные концепции нейронных сетей: Пер. с англ. — М. : Издательский дом «Вильямс», 2001. — 288 с.
20. Омату С., Халид. М. Нейроуправление и его приложения: Пер. с англ. — М. : ИПРЖР, 2000. — 272 с.
21. Мартинюк Т. Б. Рекурсивні алгоритми багатооперандної обробки інформації. — Вінниця: УНІВЕРСУМ — Вінниця, 2000. — 216 с.
22. Мартынюк Т. Б. Модель порогового нейрона на основе параллельной обработки по разностным срезам // Кибернетика и системный анализ. — 2005. — № 4. — С. 78—89.
23. Васюра А. С., Мартинюк Т. Б., Куперштейн Л. М. Методи та засоби нейроподібної обробки даних для систем керування. — Вінниця: УНІВЕРСУМ — Вінниця, 2008. — 175 с.
24. Свечников С. В., Кожемяко В. П., Тимченко Л. И. Квазиимпульсно-потенциальные оптоэлектронные элементы и устройства логико-временного типа. — Киев : Наук. думка, 1987. — 256 с.
25. Timchenko L., Grudin M., Martynuk T., Kozhemiako A. Parallel Transformation // Управляющие системы и машины. — 1998. — № 5. — С. 93—95.
26. Кун С. Матричные процессоры на СБИС : Пер. с англ. — М.: Мир, 1991. — 672 с.
27. Мартынюк Т. Б., Буда А. Г., Куперштейн Л. М. и др. Организация конвейерного процессора для порогового суммирования элементов векторного массива // Приборостроение. — 2004 : Междунар. науч.-техн. конф., 15—18 сентября 2004 г. : Сб. трудов. — Винница—Ялта, 2004. — С. 40 — 44.
28. Кузелин М. ПЛИС фирмы Xilinx: семейство SpartanTM-3. — <http://www.chipinfo.ru/litature/chipnews/200305/2.html>.

29. *Применение ПЛИС Xilinx для построения нейронных сетей.* — Scan Eng. Telecom, 1999.
30. *Капитанов В. Д., Мистюков В. Г.* Построение на ПЛИС фирмы Xilinx высокопроизводительных нейронных сетей. — http://www.scan.com/art_neur.pdf.
31. *Грушвицкий Р. И., Мурсаев А. Х., Узрюмов Е. П.* Проектирование систем на микро-схемах программируемой логики. — СПб. : БХВ — Петербург, 2002. — 608 с.

Поступила 15.10.09;
после доработки 09.04.10

МАРТЫНЮК Татьяна Борисовна, канд. техн. наук, доцент кафедры лазерной и оптоэлектронной техники Винницкого национального технического университета. В 1977 г. окончила Винницкий политехнический ин-т. Область научных исследований — нейросетевые технологии, параллельная обработка массивов данных.

ТИМЧЕНКО Леонид Иванович, д-р техн. наук, зав. кафедрой телекоммуникационных технологий и автоматизации Киевского государственного экономико-технологического университета транспорта. В 1979 г. окончил Винницкий политехнический ин-т. Область научных исследований — параллельно-иерархические сети.

КУПЕРШТЕЙН Леонид Михайлович, канд. техн. наук, доцент кафедры экономической кибернетики Винницкого финансово-экономического университета. В 2003 г. окончил Винницкий государственный технический университет. Область научных исследований — интеллектуальные технологии обработки данных.